

嵌入式软件测试平台数据采集器的研究与设计

曹小鹏, 孙家泽

(西安邮电学院 计算机系, 陕西 西安 710063)

摘 要: 文中设计的嵌入式软件测试平台能够对多种嵌入式系统进行白盒测试. 系统的核心部分——数据采集器采用 FPGA 与 NIOS II 软核控制器设计, 完成了比较器单元、锁存器单元、FIFO、数据压缩等逻辑功能, 能够满足多种嵌入式目标软件的测试要求.

关键词: 采集器; 嵌入式系统; 测试

中图分类号: TP39

文献标识码: A

文章编号: 1000-7180(2010)01-0161-04

The Data Acquisition of Embedded Software Testing Platform Research and Design

CAO Xiao-peng, SUN Jia-ze

(Department of Computer, Xi'an Institute of Posts and Telecommunications, Xi'an 710063, China)

Abstract: This paper designs the embedded system testing platform (ESTP) to carry on white-box testing to many kinds of embedded system. System's core—Data Acquisition System, designed by FPGA and the NIOS II soft controller, including the comparator unit, the latch unit, FIFO unit and so on, can satisfy with many requirements of embedded system test.

Key words: data acquisition system; embedded system; testing

1 引言

嵌入式软件的纯软件与纯硬件的测试方法都有其不可克服的缺点. 当系统复杂时, 使用纯软件测试方法难度非常大, 并且某些测试结果 (特别是对实时软件) 不能真实地反映软件的运行情况; 用纯硬件方法虽然准确真实、相对简单, 但是也有其难以克服的缺点, 例如: 无法测试内存, 当系统复杂时, 测试费用难以接受. 在保证嵌入式系统实时性与测试环境的真实性的前提下, 如何克服两种方法的缺点, 进行测试是当前嵌入式软件测试工程领域的一个重要研究课题.

文中针对此问题上做了一定的研究与探索, 结合了纯软件与纯硬件测试方法的优点, 改正了两种

方法的缺点, 设计开发了嵌入式系统测试平台 (ESTP).

2 采集器设计方案

数据采集器是整个测试平台的核心部分, 其工作原理如下: 把数据采集器看作测试目标系统的一个外设, 测试目标程序中插入的桩语句就是向这个外设输出一个特定数据的指令, 采集器通过不间断地监视读写信号和地址、数据总线, 当有数据输出时, 锁存地址和数据总线的数据, 进行地址数据匹配, 如匹配, 则通过中断方式通知采集器控制器高速获取数据总线上的数据. 采用改进的游程编码压缩算法, 对数据进行压缩处理, 使用 FIFO^[1] 对数据进行高速缓冲, 对于 FIFO 中的数据, 通过 UART 或

收稿日期: 2008-10-24; 修回日期: 2009-02-01

基金项目: 国家自然科学基金项目 (90607007); 西安市科技创新支撑应用发展研究计划项目 (YF07024); 西安邮电学院中青年教师科研项目 (103-0421)

USB 端口对数据进行高速数据传输,或通过网络端口,可以由多个采集器组成测试网络,实现多节点测试和远程测试^[2-3].

根据测试系统的技术指标,采集器设计中应该主要考虑以下几个问题:①测试目标系统的芯片类型.测试目标支持 8 位,16 位的 CPU,这就要求采集器能够根据目标 CPU 的种类不同,进行灵活的总线配置;②目标系统的运行频率.设定测试目标系统执行频率最高为 50MHz,极限情况下 2ms 可能会输出一条指令,要求采集器要在 2ms 之内完成数据的采集任务,同时满足目标系统的读写时序要求,采集器需要有高速控制器支持;③目标系统的操作系统.测试目标能够支持多种操作系统,如:UCos、Uclinux 等;④测试目标系统的代码量.系统能够测试的最大的代码行数为 10 万行,这就要求采集器必须要有大的存储深度,需要有大容量的存储器支持;⑤系统的灵活性.采集器能够方便的在线升级.

采集器设计可以采用两种方案:

(1) 自己设计完全专用电路

采用这种设计方案,必须根据系统要求自己选择控制器,比较器,锁存器,外扩大容量的 RAM,设计专用电路图以及 PCB 板.优点是:针对性强,执行效率较高,大批量生产后成本较低;缺点是:软硬件开发难以同步,开发周期较长,系统配置困难,灵活性较差,开发成本较高.

(2) 采用 FPGA 方式

采用这种方案,可以将系统控制 CPU、数据采集单元及数据缓冲、存储、压缩处理单元等应用逻辑用软件形式固化入 FPGA 当中^[4],形成专用的数据采集芯片,减少外围器件数量,提高数据采集效率、系统的灵活性与可靠性,能够满足多种类型测试目标芯片及高速数据采集要求;采用大容量的内置 FIFO 和外扩 RAM 可以达到较高的存储的深度要求;利用 FPGA 的在线修改能力,可以升级系统而不必改变硬件电路;软硬件开发可以同时并行进行,提高了开发效率.

本数据采集器采用了第二种设计方案,使用高速 FPGA 技术与 Nios II 的软核控制器技术,用 Verlog HDL 硬件描述语言编程实现系统数据锁存、比较、读取、控制等应用逻辑,同时为了满足高速采集数据的要求,设计了专用的 FIFO,为了提高数据传输速度,实现实时测试,采用了游程编码压缩技术,

实现了数据压缩单元.采集器数据处理过程如图 1 所示.采集器原理如图 2 所示.

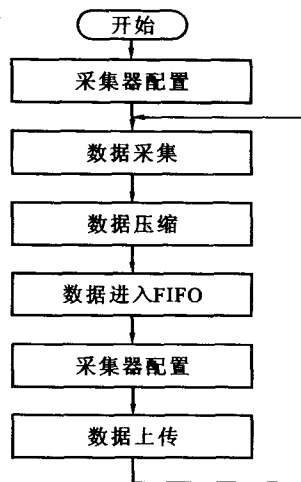


图 1 数据处理过程

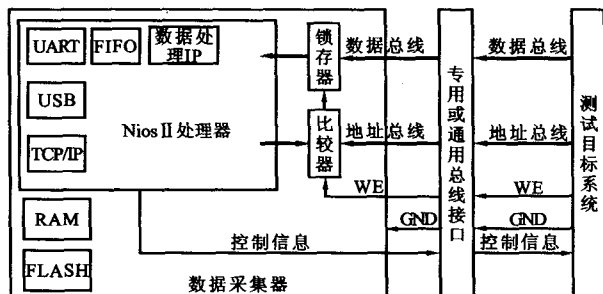


图 2 采集器原理图

3 采集器的实现

采集器硬件核心使用 ALTERA 公司的 Stratix II 器件 EP2S15,该器件采用 1.2V 电压、TSMC 的 90nm 低绝缘及全铜层 SRAM 工艺技术生产^[5-6].

主控制器采用 Altera 公司提供的 Nios II 嵌入式软核处理器,使得系统更加灵活、可靠.

采集器采用自顶向下的设计思路,主要由五大功能模块组成:

(1) Nios II 微控制器单元

Nios II 软核处理器是 Altera 的第二代 FPGA 嵌入式处理器,具有可定制特性、高性能、较低的产品和实施成本、易用性、适应性等特点.

(2) 数据采集单元.

数据采集单元主要由比较器单元和锁存器单元组成,用 Verlog HDL 硬件描述语言编程,在 FPGA 中实现,可以形成自己的 IP 核.原理如图 3 所示.

比较器单元由写使能(WE)信号触发,当 WE 信号变为低电平时,锁存并比较地址总线上采集到的

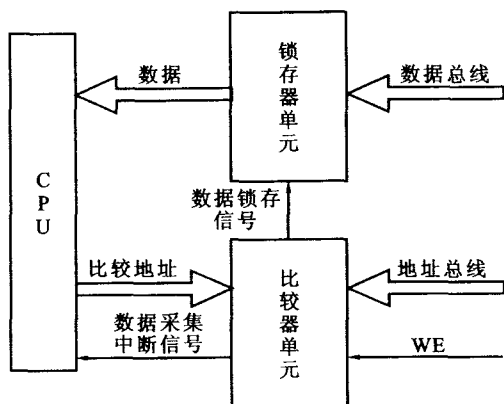


图3 采集单元原理图

地址数据和上位机已设定的地址数据是否相符,当两个地址数据相符时,触发锁存器单元、锁存数据总线上的数据,同时向控制器发送数据采集中断信号,触发控制器中断服务程序,读取锁存器单元的内容。

(3) 通信单元

通信单元主要采用 UART、USB 和 TCP/IP 三种方式,实现上下位机之间的通讯。

UART 主要采用 RS422 和 RS485 接口,传输速率最快为 115200bps,传输速度较慢,但实用性较广。

USB 接口采用 USB 2.0 版本,传输速率为 480Mbps,传输速度较快,采用 USB HUB 方式可以支持多个结点同时测试,是现场测试的首选通讯方式。实现采用了 CH372 作为 USB 通讯接口芯片,其内置了 USB 通讯中的底层协议,具有省事的内置固件模式和灵活的外置固件模式,可以实现符合各种 USB 类规范的设备。

采集器还可以通过网络端口进行通信,设计实现采用 smsc 公司的 LAN91C111 作为以太网控制器,使用 Nios II 中自带的 TCP/IP 协议栈,通过串口分别设置每个采集器的 IP 地址,使用交换机,组成测试网络,实现远程测试及多测点测试。

(4) FIFO 单元

由于数据采集与数据上传的速度不一致,需要采用 FIFO 来进行数据传输缓冲。FIFO 具有两个特点:数据进出有序,输出输入口独立。其内部的读指针和写指针按照先进先出的原则实现数据的存入和读取。

FIFO 可在其一端写操作而在另一端进行读操作,数据在其中顺序移动,从而达到很高的传输速度和效率。

利用 FPGA 器件中的大容量的 RAM,设计了软件 FIFO 循环队列。当有数据采集中断信号时,中

断服务程序将采集器内容读入一个变量中,并调用入队列程序。出队列时,每次调用出队列程序。

(5) 数据压缩单元

采集器在实际系统测试过程中,如果测试目标 CPU 执行速度较快或测试目标程序较复杂,就会出现丢失测试数据现象,从而造成测试结果的错误,如果采用降低测试目标系统的主频的方式解决,影响了测试实时性、测试效率以及测试的准确性。分析测试系统主要瓶颈是采集器与分析服务器之间的通讯时间消耗较多,其原因主要有:传输速率不够;测试桩数据太多。通过对测试目标程序分析可以看出在测试过程中由于测试目标系统大部分时间均处于等待操作状态,执行的程序中有很多循环语言,因此会出现大量的完全相同的测试桩数据,如果不经处理,直接存储、上传这些重复数据。首先,对于测试结果没有实际意义;其次,占用了大量的数据存储空间和系统传输带宽。所以,要对数据进行压缩,减少重复数据量。

测试桩数据特点是:具有大量的重复数据块,压缩的要求:要采用无损压缩方式,不能丢失数据信息。采集器设计采用了改进的游程编码压缩算法。游程编码压缩算法的主要思想是将一个相同值的连续串用其值和串长(重复的个数)的数对二元组来替代。在游程编码算法实现中对于非重复字符保持不变,直接进入 FIFO 中,对于重复字符用 3 个字节表示一个字符串:第一个字节是压缩指示字符,第二个字节记录连续出现的字符,第三个字节记录重复字符出现的次数。压缩处理流程如图 4 所示。

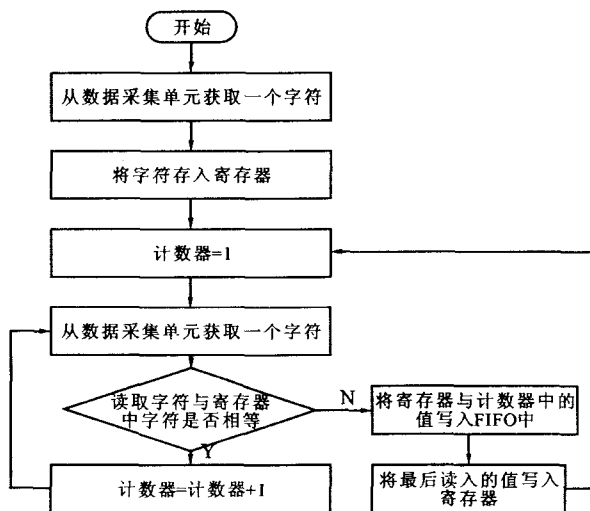


图4 压缩处理流程图

4 应用结果

在实际应用当中,测试目标系统 CPU 为飞利浦公司的 LPC2131,它是以 ARM7 为核心的芯片,系统运行的主频为 11.0592MHz,测试目标程序约为 1000 行,采集器能够可靠完整的采集到数据,并能够通过数据压缩,将数据通过串口、USB 端口、网络端口传输到测试服务器中。

5 结束语

文中从理论和实践两方面对嵌入式系统软件测试平台做了简单的描述,并对系统的核心部分数据采集器的原理及设计做了详细的介绍.数据采集器能够在整个系统中正常的运行,但是在实际应用当中还有一些问题,例如,测试目标系统执行频率过快或埋设的桩数据太多时,可能会出现测试数据丢失现象,这是下一步需要研究改进的地方。

(上接第 160 页)

用测试用例本身,但<测试项>中的元素都是从测试用例中抽取出来的,是最关键的测试内容,从而提高了测试用例的复用度。

5 结束语

如何对软件测试的测试用例进行很好的设计和重复利用,是提高软件测试效率和质量的关键.文中给出了一种测试项抽取的方法实现测试用例复用,并给出了应用的具体实例.该方法的使用降低了测试用例复用与被测功能的相关性,从而提高了测试复用度,且通过记录复用次数,也可获得测试工作的常用测试项,提高了测试的效率.另外,测试用例复用后的冗余与 XML 测试用例复用管理器的方便实用性也是个待解决的问题,这也是论文将来需要进行的工作。

参考文献:

- [1] 陈建明,王海峰.软件质量模型及其评价[J].微电子学与计算机,2003,20(5):64-67.

参考文献:

- [1] 于海.基于 FPGA 异步 FIFO 的研究与实现[J].微电子学与计算,2007,24(12):211-212.
- [2] 罗健强.基于 NIOS II 软核的嵌入式信令处理系统实现[J].微电子学与计算,2007,24(1):210-211.
- [3] 陈庆伟.基于 NIOS II 的 CPU 调试系统设计技术研究[J].微电子学与计算,2008,25(5):99-100.
- [4] 王宁.高速数据压缩与缓存的 FPGA 实现[J].微计算机信息,2008(24):213-215.
- [5] 张苓.利用扩展游程编码数据采集技术优化高速数据采集系统[J].微计算机信息,2005(21):68-70.
- [6] 路而红.专用集成电路设计与电子设计自动化[M].北京:清华大学出版社,2004.

作者简介:

曹小鹏 男,(1976-),硕士.研究方向为软件测试、嵌入式系统.

孙家泽 男,(1980-),硕士.研究方向为软件测试.

- [2] 朱海燕.软件测试用例集缩减的一个算法[J].微电子学与计算机,2007,24(1):204-206.
- [3] Ivar Jacobson, Martin Griss, Patrik. Software reuse architecture, process and organization for business success[M]. Beijing, China Machine Press, 2003.
- [4] Jongseok Kim. Automatic testing for software reuse[C]// Melbourne. Florida, 2003:107-109.
- [5] 尚冬娟,郝克刚,葛玮,等.软件测试的测试用例及复用研究[J].计算机科学与技术,2006(1):69-72.
- [6] 赵杰,张晶,高继森.基于 XML 的测试用例复用研究[J].重庆工学院学报:自然科学版,2007(9):40-43.
- [7] 张银鹤,张秋香,孙膺,等.XML 实践教程[M].北京:清华大学出版社,2007:194-196.

作者简介:

胡珊 女,(1986-),硕士研究生.研究方向为软件测试.

杨丰玉 男,(1980-),硕士研究生.研究方向为软件工程、软件测试.

张晔 女,(1982-),硕士研究生.研究方向为软件工程.

刘琳岚 女,(1968-),硕士生导师,教授.研究方向为软件工程、嵌入式系统.